

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**SUPER LUMINESCENT DIODE AND ITS PRODUCTION**

Patent Number: JP6097495  
Publication date: 1994-04-08  
Inventor(s): MUSHIGAMI MASAHIRO; others: 02  
Applicant(s): ROHM CO LTD  
Requested Patent: ☐ JP6097495  
Application Number: JP19920244662 19920914  
Priority Number(s):  
IPC Classification: H01L33/00  
EC Classification:  
Equivalents: JP2726601B2

**Abstract**

**PURPOSE:** To provide a super luminescent device which allows light output from the both edge planes, easy automatic power control and excellent manufacturing reproducibility.

**CONSTITUTION:** A compound semiconductor current constriction type super luminescent diode is formed by sandwiching an activating layer 3 by top clad layers 4 and 7, which has larger band gap energy and smaller refraction factor than the activating layer 3, and a second conductivity type bottom clad layer 2. The diode is provided with a first current injecting stripe 13a, which has a non-exciting area on the rear edge plane and a second current strip 13b which has a non-exciting area on the front edge plane and the first and the second current injecting stripes 13a and 13b are arranged not on the same line in order to suppress emission light from the one strip to be conducted by the other tripe.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開 号

特開平6-97495

(43)公開日 平成6年(1994)4月8日

(51)Int.Cl.<sup>5</sup>

H01L 33/00

識別記号

庁内整理番号

A 7514-4M

FI

技術表示箇所

審査請求 未請求 請求項の数3(全 6 頁)

(21)出願番号 特願平4-244662

(22)出願日 平成4年(1992)9月14日

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院薄崎町21番地

(72)発明者 虫上 雅人

京都市右京区西院薄崎町21番地 ローム株式会社内

(72)発明者 山内 遼夫

京都市右京区西院薄崎町21番地 ローム株式会社内

(72)発明者 尺田 幸男

京都市右京区西院薄崎町21番地 ローム株式会社内

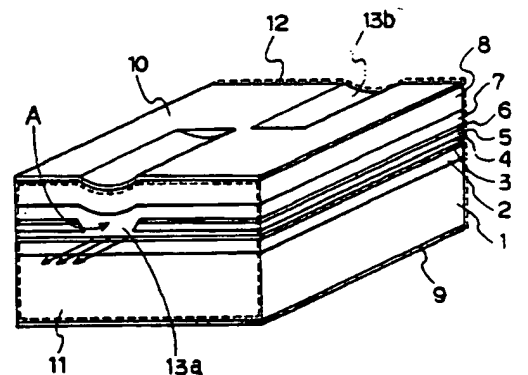
(74)代理人 弁理士 朝日奈 宗太 (外2名)

(54)【発明の名称】 スーパールミネッセントダイオードおよびその製法

(57)【要約】

【目的】 両端面から光出力が取り出せ、オートマチック・パワー・コントロールが容易であり、かつ製作の再現性に優れたスーパールミネッセントデバイスを提供する。

【構成】 活性層3の上下を、該活性層よりもバンドギャップエネルギーが大きくかつ屈折率の小さい上部クラッド層4、7および下部クラッド層2で挟んだ、化合物半導体からなる電流狭さく型スーパールミネッセントダイオードで、後端面に非励起領域をもつ第1電流注入ストライプ13aおよび前端面に非励起領域をもつ第2電流注入ストライプ13bを有しており、前記第1および第2電流注入ストライプは、一方のストライプが他方のストライプで発光された光を導波しにくいように同一直線上に配置されていない。



- |             |                   |
|-------------|-------------------|
| 1 半導体基板     | 5 電流ブロッキング層       |
| 2 下部クラッド層   | 7 上部第2クラッド層       |
| 3 活性層       | 11、12 低反射率コーティング膜 |
| 4 上部第1クラッド層 | 13a、13b 電流注入ストライプ |

## 【特許請求の範囲】

【請求項1】 活性層の上下を該活性層よりもバンドギャップエネルギーが大きく、かつ、屈折率の小さい上部クラッド層および下部クラッド層で挟んだ、化合物半導体からなる電流狭さく型スーパーミネセントダイオードであって、後端面に非励起領域をもつ第1電流注入ストライプおよび前端面に非励起領域をもつ第2電流ストライプを有しており、

前記第1および第2電流注入ストライプが、一方のストライプが他方のストライプで発光された光を導波しにくいように同一直線上に配置されていないことを特徴とするスーパーミネセントダイオード。

【請求項2】 バンドギャップエネルギーが前記活性層と等しいかまたは前記活性層よりも小さく、かつ、屈折率が前記活性層と等しいかまたは前記活性層よりも大きい吸収層が、前記非励起領域において、前記活性層に近接して設けられてなる請求項1記載のスーパーミネセントダイオード。

【請求項3】 (a) 半導体基板上に、該半導体基板と同じ導電型の下部クラッド層、n型、p型またはアンドープの活性層、前記半導体基板と反対の導電型の上部第1クラッド層および前記基板と同じ導電型の電流ブロッキング層を順次積層する工程、

(b) 帯状開口部が千鳥状に配列されたマスクを用いて、えられたウエハに電流ブロッキング層に達する電流注入ストライプを形成する工程、

(c) 電流注入ストライプが形成されたウエハ上に前記半導体基板と反対の導電型の上部第2クラッド層およびキャップ層を順次積層する工程、

(d) 半導体基板を所定厚さまで削る工程、

(e) ウエハの上面および下面にオーミック電極を形成する工程、

(f) 隣接する2つの電流注入ストライプの両方を含むように前記ウエハを劈開してチップ化する工程、および  
(g) えられたチップの両端面に保護膜または低反射率コーティング膜を形成する工程からなることを特徴とするスーパーミネセントダイオードの製法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はスーパーミネセントダイオード（以下、SLDという）およびその製法に関する。さらに詳しくは、光ファイバジャイコ、光センサ、光ディスクなどの光源として有用なインコヒーレント光を、大きな強度と小さな放射角で放射できるSLDおよびその製法に関する。

## 【0002】

【従来の技術】 活性層端面から大出力のインコヒーレント光を取り出すSLDでは、ファブリペロモードによるレーザ発振を抑圧することが重要である。従来より、以下のようなSLD素子構造が提案されている。

【0003】 すなわち、(1) 両端面に無反射コート（AR (Anti Reflective) コート）30を形成し、反射率を低減することによりFPモードを抑圧する方法（図5参照）、(2) 素子の活性層の片側を非励起領域31とし、電流注入領域で発光した光をこの領域で吸収し、等価的に端面の反射率を低下させ、FPモードを抑圧する方法（図6参照）、および(3) 曲り導波路32を用い、電流注入領域で発光した光を端面で全反射させ、FPモードを抑圧する方法（図7参照）などが提案されている。なお、図5～7で、33は電流注入ストライプ、30は無反射コート、31は非励起領域である。

## 【0004】

【発明が解決しようとする課題】 しかしながら、端面にARコートを形成する(1)の方法では、レーザ発振を抑えるに十分な超低反射率のARコートを再現性よく形成する必要があるが、製作が困難であるという問題がある。

【0005】 また、素子の活性層の片側を非励起領域とする(2)の方法および曲り導波路を用いる(3)の方法では、光出力取出し端面でない方の端面からは、光出力をほとんど行うことができず、オートマチック・パワー・コントロール（APC）が難しいという欠点がある。また、FPモードを充分に抑圧するためには素子のサイズ（長さ）が大きくなってしまいう問題がある。

【0006】 本発明は、叙上の事情に鑑み、前記従来技術の有する欠点が解消されたSLDを提供することを目的とする。すなわち、本発明の目的は、両端面から光出力が取り出せ、APCが容易であり、かつ製作の再現性に優れたSLDを提供することおよび量産性に優れたSLDの製法を提供することを目的とする。

## 【0007】

【課題を解決するための手段】 本発明のSLDは、活性層の上下を該活性層よりもバンドギャップエネルギーが大きく、かつ、屈折率の小さい上部クラッド層および下部クラッド層で挟んだ、化合物半導体からなる電流狭さく型スーパーミネセントダイオードであって、後端面に非励起領域をもつ第1電流注入ストライプおよび前端面に非励起領域をもつ第2電流ストライプを有しており、前記第1および第2電流注入ストライプが、一方のストライプが他方のストライプで発光された光を導波しにくいように同一直線上に配置されていないことを特徴としている。

【0008】 本発明のSLDの製法は、(a) 半導体基板上に、該半導体基板と同じ導電型の下部クラッド層、n型、p型またはアンドープの活性層、前記半導体基板と反対の導電型の上部第1クラッド層および前記半導体基板と同じ導電型の電流ブロッキング層を順次積層する工程、(b) 帯状開口部が千鳥状に配列されたマスクを用いて、えられたウエハに電流ブロッキング層に達する電流注入ストライプを形成する工程、(c) 電流注入ストライ

ブが形成されたウエハ上に前記半導体基板と反対の導電型の上層第2クラッド層およびキャップ層を順次積層する工程、(d) 半導体基板を所定厚さまで削る工程、(e) ウエハの上面および下面にオーミック電極を形成する工程、(f) 隣接する2つの電流注入ストライプの両方を含むように前記ウエハを劈開してチップ化する工程、および(g) えられたチップの両端面に保護膜または低反射率コーティング膜を形成する工程からなることを特徴としている。

【0009】

【作用】本発明のSLDにおいては、第1および第2の電流注入ストライプが導波路として互いに独立しており、光出力取出しでない方の端面は非励起領域となっている。このためFPモードを十分に抑圧することができ、なおかつ前端面および後端面のそれぞれからインコヒーレント光を発光させることができる。

【0010】また、本発明のSLDの製法では、帯状開口部が千鳥状に配列されたマスクを用いて電流注入部を形成し、チップ化に際し、隣接する2つの電流注入部の一方の後部と他方の前部を含むように劈開しているもので、劈開の位置精度がそれほど要求されない。

【0011】

【実施例】つぎに添付図面を参照しつつ本発明のSLDを詳細に説明する。図1は本発明のSLDの一実施例の説明図である。

【0012】図1において、1はn-GaAsからなる半導体基板であり、該半導体基板1上にはn-Al<sub>0.6</sub>Ga<sub>0.4</sub>Asからなる厚さ1.0～3.0 μm程度下部クラッド層2、アンドープAl<sub>0.03</sub>Ga<sub>0.97</sub>Asからなる厚さ0.04～0.2 μm程度の活性層3、およびp-Al<sub>0.5</sub>Ga<sub>0.5</sub>Asからなる厚さ0.2～0.5 μm程度の上層第1クラッド層4が形成されている。そして、該上層第1クラッド層4上には、さらに、n-GaAsからなる厚さ0.2～1.0 μm程度の電流ブロッキング層5、n-Al<sub>0.15</sub>Ga<sub>0.85</sub>Asからなる厚さ0.04～0.2 μm程度の蒸発防止層6、p-Al<sub>0.6</sub>Ga<sub>0.4</sub>Asからなる厚さ1.0～3.0 μm程度の上層第2クラッド層7、およびp-GaAsからなる厚さ0.3～5.0 μm程度のキャップ層8が形成されている。そして、活性層3は該活性層よりバンドギャップエネルギーが大きく、かつ、屈折率の小さい上層第1クラッド層4および下部クラッド層2で挟まれ、電流狭さく型SLDを構成している。この電流ブロッキング層5と活性層3との距離は電流注入部の真下に有効に電流を供給し、無効電流を少なくするため、0.2～0.5 μm程度に形成され、電流ブロッキング層5と活性層3とのあいだの上層クラッド層である上層第1クラッド層4の比抵抗が0.01～0.5 Ω・cmとされるのが好ましい。

【0013】電流ブロッキング層5には、電流注入領域を形成する電流注入ストライプ13a、13bが形成され、

この電流注入ストライプ13a、13bは基板表面の段差に現われているように、または図4に平面図が示されるように、同一直線上にはなく、ずれた位置に配置され、かつ、一端部がSLDチップの両端にそれぞれ露出するように形成されている。その結果、おのおののストライプの下で発光した光が導波しにくいようになっている。この2つの電流注入ストライプ13a、13bはそれぞれ同じ長さになるように形成され、どちらの端面からの発光でも利用できるようにすることもでき、一方だけを長くして他方は短かく形成することもできる。前者のばあいには両方向に発光するので、SLDの向きを気にすることなく使用勝手がよいという利点があり、後者のばあいには大きい光出力を必要とするときに使用できる。いずれのばあいにおいても電流注入ストライプがSLDの両端面に露出しているため、後端面からの光をモニタ光として使用するときには小型で便利である。また、半導体ウエハから各チップに劈開するとき、図3に破線で示すように、ストライプの途中で劈開することができ、ストライプの端面と劈開面とを位置合わせする必要がなく、製造が容易でかつ安定した性能のものがえられる。さらに、一直線上に電流注入領域が形成されていないため、長い電流注入領域を形成してもSLD素子を小型化できる。具体例としては、たとえば250 μm×250 μmの大きさのチップで電流注入ストライプ13a、13bの長さはそれぞれ125 μmで幅は6 μm、両ストライプの間隔は1 μmに形成した。

【0014】半導体基板1の裏面およびキャップ層8の表面それぞれにAuGeNi/AuおよびTi/Auなどからなるオーミック電極9および10がそれぞれ設けられている。また、図1における前端面および後端面にはAl<sub>2</sub>O<sub>3</sub>膜をλ/4の厚さに形成したり、さらにSi膜などを多層化して低反射率コーティング膜11がそれぞれ設けられている。この低反射率コーティング膜を形成することにより、反射率を30%から4%程度以下でき、さらに多層化することにより1%以下に低減できる。

【0015】前記電流ブロッキング層5は、前記電流注入ストライプ13a、13bを除いて、上部クラッド層4に設けられ、電流注入ストライプの下活性層3のみで構成させている。この電流ブロッキング層5は、前記半導体基板1と同じ導電型であり、バンドギャップエネルギーが前記活性層3と等しいかまたは活性層3よりも小さく、かつ、屈折率が同じく活性層3と等しいかまたは活性層3よりも大きい。このため、電流注入ストライプ13a、13bの下活性層3で発光して端面と反対方向に進んだ光は反射することなく、容易に電流ブロッキング層5に入り込む。その結果、前記活性層3から端面と反対方向に進んだ光は有効に吸収される。

【0016】つぎに、本発明のSLDの製法について、MBE法で作製するばあいを例にとりて図2に基づいて

明する。

【0017】まず、 $n$ -GaAsからなる半導体基板1の表面に厚さ $1.5\mu\text{m}$ の $n$ -Al<sub>0.5</sub>Ga<sub>0.4</sub>Asからなる下部クラッド層2、厚さ $0.08\mu\text{m}$ のアンドープAl<sub>0.05</sub>Ga<sub>0.95</sub>Asからなる活性層3、厚さ $0.4\mu\text{m}$ の $p$ -Al<sub>0.5</sub>Ga<sub>0.4</sub>Asからなる上部第1クラッド層4、厚さ $0.3\mu\text{m}$ の $n$ -GaAsからなる電流ブロッキング層5、厚さ $0.07\mu\text{m}$ の $n$ -Al<sub>0.15</sub>Ga<sub>0.85</sub>Asからなる蒸発防止層6、および厚さ $0.04\mu\text{m}$ のアンドープGaAsからなる表面保護層21を順次積層する(図2の(a)参照)。

【0018】本発明では電流ブロッキング層5のバンドギャップエネルギーが活性層3のバンドギャップエネルギーと等しいかまたはそれより小さく、かつ、電流ブロッキング層5の屈折率が活性層3の屈折率と等しいかそれより大きくなるように形成されている。電流ブロッキング層5や活性層3にAl<sub>x</sub>Ga<sub>1-x</sub>Asを使用すると、 $x$ が小さいときバンドギャップエネルギーは小さく、屈折率は大きく、 $x$ が大きくなるとバンドギャップエネルギーは大きくなり、屈折率は小さくなる。したがって電流ブロッキング層に活性層より $x$ の小さい組成を使用することにより、前述の関係がえられる。

【0019】つぎに、図3に示されるような、帯状開口部が千鳥状に配列されたマスクを用い、前述した第1回結晶成長工程で積層したウエハに電流ブロッキング層5に達する電流注入ストライプ溝(幅約 $6\mu\text{m}$ )をケミカルエッチングにより形成する(図2の(b)参照)。その際、Alを含むクラッド層が空气中で酸化されるのを防止し、後述の蒸発速度の差を利用して蒸発により除去するため電流ブロッキング層5のうち下部の $0.1\mu\text{m}$ 程度を残すようにする。

【0020】つぎに、前記ウエハを再びMBE装置内に入れ、GaAsとAlGaAsとの蒸発速度の差を利用し、GaAsだけを選択的に蒸発させる(図2の(c)参照)。この熱エッチング工程の温度は約 $760^\circ\text{C}$ で処理時間は約10分である。そしてGaAsの蒸発速度は $760^\circ\text{C}$ で $1.2\mu\text{m}/\text{h}$ であるのに対し、Al<sub>0.15</sub>Ga<sub>0.85</sub>Asの蒸発速度は $760^\circ\text{C}$ で $0.01\mu\text{m}/\text{h}$ 以下であるので、GaAsのみ選択的に蒸発する。この工程により、表面が酸化されていないきれいなクラッド層が現われる。

【0021】ついでウエハ温度を $580^\circ\text{C}$ まで下げ、第2回の結晶成長工程により、厚さ $1.2\mu\text{m}$ の $p$ -Al<sub>0.5</sub>Ga<sub>0.4</sub>Asからなる上部第2クラッド層7および厚さ $1.2\mu\text{m}$ の $p$ -GaAsからなるキャップ層8を前記ウエハ上に積層する(図2の(d)参照)。

【0022】以上のように、1回のマスク工程と2回のエッチング工程だけでウエハ製造工程が終了する。このようにして製造されたウエハについてラッピングで $n$ -GaAs基板1を削り、厚さ $60\mu\text{m}$ 程度にする。そのうち、ウエハの下面および上面にそれぞれAuGeNi/Auお

よびTi/Auなどを蒸着させて、オーミック電極9、10を形成する。さらに、劈開でチップ化を行い、えられたチップの両端面にスパッタ法でAl<sub>2</sub>O<sub>3</sub>、 $a$ -Siからなる低反射率コーティング膜11、12を形成する。なお、チップ化に際しては、前述した帯状開口部が千鳥状に配列されたマスクを用いて形成した電流注入ストライプのうち、隣接する2つの電流注入ストライプの一方の後半分と他方の前半分を含むように劈開している。このため、劈開の位置精度がそれほど要求されず、量産性に優れている。

【0023】なお、前述した実施例では、結晶を成長させる方法としてMBE法を用いているが、MBE法以外にMOVPE法(有機金属気相成長法)、MOMBE法(有機金属分子線成長法)などを用いることもできる。

【0024】また、基板として $n$ 型GaAsを用いたが、 $p$ 型でもよく、基板材料も他にInPやZnSeなどを用いてもよい。さらに、成長させる膜は、AlGaAs系以外にAlGaInP系、InGaAsP系、ZnCdSSe系などでもよい。さらに、Al<sub>x</sub>Ga<sub>1-x</sub>AsでAlとGaの割合を特定値の例で説明したが、その値に限らず、クラッド層では $0.3 \leq x \leq 0.8$ の範囲で、活性層では $0.0 \leq x \leq 0.3$ の範囲で、電流ブロッキング層では $0.0 \leq x \leq 0.3$ の範囲で特性に応じて自由に選定できる。

【0025】さらに、活性層をアンドープの例で説明したが、 $p$ 型や $n$ 型でもよい。また、ストライプもストライプ溝以外の構成でもよい。

【0026】また、前記実施例では、熱エッチングで電流ブロッキング層のエッチングを完全に行ったが、熱エッチング工程を行わないばあいには、蒸発防止層6や表面保護層21は不要である。

【0027】なお、光出力の強さについて、前後の比率を変えたいばあいには、劈開の位置を変更すればよい。

【0028】

【発明の効果】以上説明したとおり、本発明のSLDにおいては、第1電流ストライプと第2電流注入ストライプは導波路として互いに独立しており、光出力取り出しでない端面は非励起領域となっている。このため、FPモードを十分に抑圧することができ、なおかつ、素子の後端面からAPC動作に必要な光を発光させることができる。

【0029】また、本発明の製法では、帯状開口部が千鳥状に配列されたマスクを用いて電流注入ストライプを形成し、隣接する電流注入ストライプの前部と後部を含むように劈開してチップをえているため、劈開の位置精度がそれほど要求されず、量産性がよい。また、チップを自動機で組み立てるときにチップの向きを気にしなくてよいので組立作業が容易になる。さらに電流注入領域と光吸収機能をもつ非励起領域をマスク1回の工程だけで作製することができ、その他の工程は変わらないので

製造が容易である。

【図面の簡単な説明】

【図1】本発明のSLDの一実施例の説明図である。

【図2】本発明のSLDの一実施例の製造工程説明図である。

【図3】本発明のSLDの製造に用いられるマスクの部分平面図である。

【図4】本発明のSLDの電流注入ストライプを示す平面説明図である。

【図5】従来のSLDの断面説明図である。

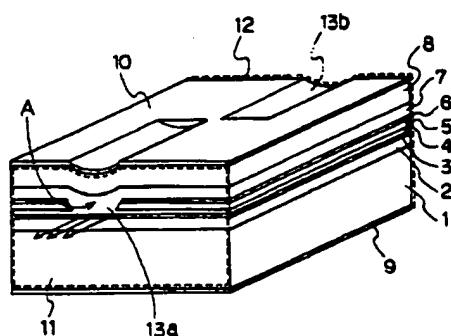
【図6】従来のSLDの断面説明図である。

【図7】従来のSLDの断面説明図である。

【符号の説明】

- 1 半導体基板
- 2 下部クラッド層
- 3 活性層
- 4 上部第1クラッド層
- 5 電流ブロッキング層
- 7 上部第2クラッド層
- 11、12 低反射率コーティング膜
- 13a、13b 電流注入ストライプ

【図1】

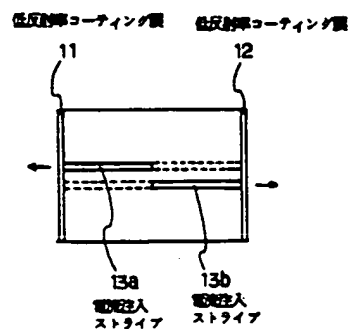


- 1 半導体基板
- 2 下部クラッド層
- 3 活性層
- 4 上部第1クラッド層
- 5 電流ブロッキング層
- 7 上部第2クラッド層
- 11、12 低反射率コーティング膜
- 13a、13b 電流注入ストライプ

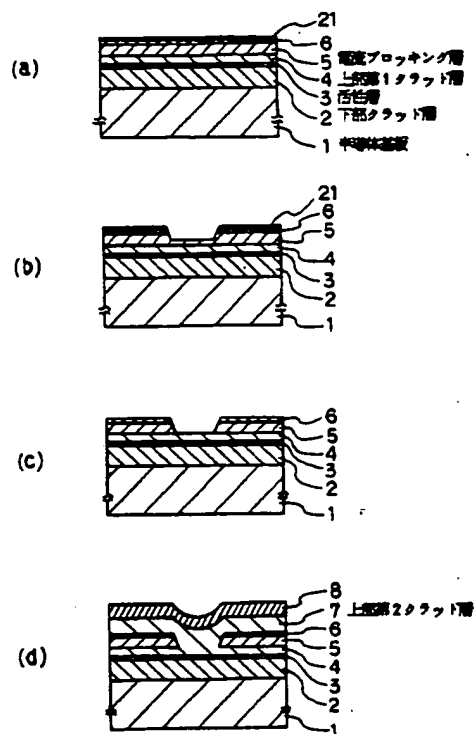
【図3】



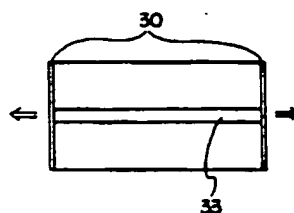
【図4】



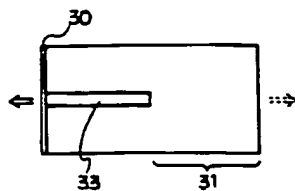
【図2】



【図5】



【図6】



【図 7】

